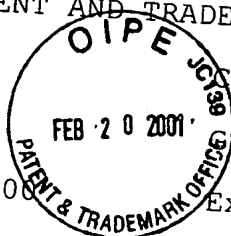


Priority
PATENT
0717-0448P 5/14

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: H. DOI et al.
Appl. No.: 09/696,006
Filed: October 26, 2000
For: HALL DEVICE BIASING CIRCUIT AND
MAGNETISM DETECTION CIRCUIT INCLUDING
THE SAME

Conf.:
Group: 2832
Examiner: UNKNOWN



L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

February 20, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

Country
JAPAN

Application No.
2000-016349

Filed
January 25, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By Terrell C. Birch #2277
Terrell C. Birch, #19,382

TCB/pjh
0717-0448P

Attachment

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

日本国特許
PATENT OFFICE
JAPANESE GOVERNMENT



N. DO/ et al
09/696,006
Oct. 26, 2000
Buck, Stewart, et al.
703) 203-8000
1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 1月25日

出願番号
Application Number:

特願2000-016349

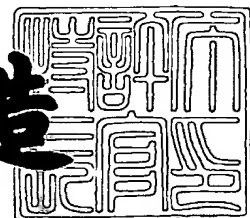
出願人
Applicant(s):

シャープ株式会社

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3098594

【書類名】 特許願

【整理番号】 99J03060

【提出日】 平成12年 1月25日

【あて先】 特許庁長官殿

【国際特許分類】 H02P 6/12

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 土居 宏樹

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 稲森 正憲

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100078282

 【弁理士】

 【氏名又は名称】 山本 秀策

【手数料の表示】

 【予納台帳番号】 001878

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9005652

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ホール素子バイアス回路

【特許請求の範囲】

【請求項 1】 直列に接続された複数のホール素子それぞれに対して、バイアス電圧を独立して印加する複数の端子が設けられていることを特徴とするホール素子バイアス回路。

【請求項 2】 前記各端子に対して一定の電圧を供給する定電圧供給手段がそれぞれ設けられている請求項 1 に記載のホール素子バイアス回路。

【請求項 3】 前記各端子に対してバイアス補正電流を供給する補正電流供給手段と、いずれかの端子に供給されるバイアス補正電流の一部または全部を、他の端子、ホール素子に対するバイアス補正電流として他の端子に選択的に供給する電流パス手段とがさらに設けられている請求項 1 に記載のホール素子バイアス回路。

【請求項 4】 直列接続されたホール素子における最上位のホール素子に対して定電圧を供給する定電圧供給手段を有し、

前記補正電流供給手段が、該最上位のホール素子以外のホール素子に対する基準のバイアス電圧をそれぞれ発生する定電圧発生手段と、各定電圧発生手段にて発生する電圧と、その定電圧発生手段に対応したホール素子における実際のバイアス電圧とをそれぞれ比較する比較手段とを具備し、

該比較手段の出力に基づいて、前記電流パス手段によって、バイアス補正電流を他のホール素子に対して供給する請求項 3 に記載のホール素子バイアス回路。

【請求項 5】 前記各比較手段を構成する回路の正の電源端子が、対応するホール素子のバイアス電圧以上の電位にあるホール素子のバイアス供給端子に接続され、負の電源端子を、対応するホール素子または対応するホール素子のバイアス電圧以下の電位にあるホール素子のバイアス供給端子に接続されている請求項 4 に記載のホール素子バイアス回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、少なくとも2つ以上のホール素子を用いる磁気検出回路等において、各ホール素子に対してバイアス電圧をそれぞれ印加するバイアス回路に関する。

【0002】

【従来の技術】

モータ駆動回路、光ディスクなどのピックアップ制御、カメラのフォーカス部制御、自動車等に搭載されるTPS等の幅広い分野において、磁気検出のためにホール素子が使用されている。

【0003】

図6は、ホール素子の動作原理の説明図である。ホール素子41に磁束密度Bの磁界が印加されると、ホール素子41は、印加される磁束密度Bに比例した電圧V_Hを出力する。このホール素子41の出力電圧V_Hは、一定の電流が供給されてホール素子41が駆動される定電流駆動方式と、一定の電圧が印加されてホール素子41が駆動される定電圧駆動方式とによって出力特性が異なる。定電流駆動方式および定電圧駆動方式におけるホール素子41の出力電圧V_Hは、それぞれ、次の(1)式および(2)式によって表される。

【0004】

$$V_H = (R_H / d) \cdot I_c \cdot B \quad \cdots (1)$$

$$V_H = \mu_H \cdot (W / L) \cdot V_{in} \cdot B \quad \cdots (2)$$

(1)式および(2)式において、dは、ホール素子41における磁界感受部の厚さ(ホール素子41の厚さ)、WおよびLは、駆動電圧に対するホール素子41の磁界感受部の幅および長さをそれぞれ表している。また、I_cおよびV_iは、それぞれ、定電流駆動方式における駆動電流および定電圧駆動方式における駆動電圧である。さらに、(1)式において、R_Hは、ホール素子41のホール係数であり、 $R_H = 1 / (e \cdot n)$ で表される。ただし、eは、ホール素子41の電子の電荷量、nは、ホール素子41のキャリア濃度である。また、(2)式におけるμ_Hは、ホール素子41における半導体の電子移動度である。

【0005】

磁束密度Bおよび駆動電圧(電流)が一定であり、また、磁界感受部のサイズ

が一定であれば、ホール素子 4 1 の出力電圧 V_H は、定電流駆動方式では、(1) 式から、ホール係数 R_H に比例し、定電圧駆動方式では、(2) 式から、半導体の電子移動度 μ_H に比例することがわかる。一般に、ホール係数 R_H は、温度依存性が大きく、電子移動度 μ_H は温度依存性が小さいことが知られている。

【0006】

複数のホール素子の駆動方法として、図 7 に示すように、複数のホール素子 4 1 a ~ 4 1 c を並列に接続して駆動する方法と、図 8 に示すように、複数のホール素子 4 1 a ~ 4 1 c を直列に接続して駆動する方法とが知られている。図 7 に示す駆動方式では、並列に接続された各ホール素子 4 1 a ~ 4 1 c に、定電圧源 4 2 から一定の電圧が印加されて、各ホール素子 4 1 a ~ 4 1 c が駆動され、各ホール素子 4 1 a ~ 4 1 c のそれぞれの信号出力端子 H_1+ および H_1- 、 H_2+ および H_2- 、 H_3+ および H_3- から、磁界密度に比例した電圧がそれぞれ出力される。

【0007】

このように、並列接続された各ホール素子 4 1 a ~ 4 1 c が、それぞれ定電圧で駆動されるようになっているために、定電流駆動方式にて各ホール素子が駆動される場合よりも温度特性が良く、各ホール素子 4 1 a ~ 4 1 c からは、周囲温度変化に対して安定した電圧が出力される。

【0008】

これに対して、図 8 に示すように、直列接続されたホール素子 4 1 a ~ 4 1 c の駆動方式は、例えば特開平 9 - 6 5 6 8 2 号公報に開示されており、モータ駆動回路 4 3 からの電圧が、直列接続されたホール素子 4 1 a ~ 4 1 c 全体に印加されて、一定の電流によって各ホール素子 4 1 a ~ 4 1 c がそれぞれ駆動される定電流駆動方式となっている。このために、ホール素子の数が増減しても、回路全体の駆動電流を大きく変更する必要がないという特徴を有している。

【0009】

【発明が解決しようとする課題】

しかしながら、図 7 に示す定電流駆動方式では、使用するホール素子の数に比例した駆動電流が必要になるために、多数のホール素子を使用する場合には、消

費電流を抑えることができないという問題がある。特に、ホール素子の数が多くなる回路では、消費電流が著しく増大するために、致命的な欠点になるおそれがある。

【 0 0 1 0 】

これに対して、図 8 に示す定電圧駆動方式では、直列に接続された各ホール素子 4 1 a ~ 4 1 c に対して、電源であるモータ駆動回路 4 3 から供給される駆動電流が順番に使用されるために、ホール素子数が増加してもホール素子全体の駆動電流は増加しない。しかしながら、この場合には、前述したように、定電流駆動方式のために、各ホール素子の温度依存性が大きくなるという問題がある。

【 0 0 1 1 】

本発明は、このような問題を解決するものであり、その目的は、ホール素子数が増加しても、駆動電流が増加するおそれがなく、しかも、各ホール素子を、良好な温度特性にてそれぞれ駆動することができるホール素子バイアス回路を提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

本発明のホール素子バイアス回路は、直列に接続された複数のホール素子それぞれに対して、バイアス電圧を独立して印加する複数の端子が設けられていることを特徴とする。

【 0 0 1 3 】

好ましくは、前記各端子に対して一定の電圧を供給する定電圧供給手段がそれぞれ設けられている。

【 0 0 1 4 】

また、好ましくは、前記各端子に対してバイアス補正電流を供給する補正電流供給手段と、いずれかの端子に供給されるバイアス補正電流の一部または全部を、他の端子、ホール素子に対するバイアス補正電流として他の端子に選択的に供給する電流バス手段とがさらに設けられている。

【 0 0 1 5 】

さらに好ましくは、直列接続されたホール素子における最上位のホール素子に

対して定電圧を供給する定電圧供給手段を有し、前記補正電流供給手段が、該最上位のホール素子以外のホール素子に対する基準のバイアス電圧をそれぞれ発生する定電圧発生手段と、各定電圧発生手段にて発生する電圧と、その定電圧発生手段に対応したホール素子における実際のバイアス電圧とをそれぞれ比較する比較手段とを具備し、該比較手段の出力に基づいて、前記電流パス手段によって、バイアス補正電流を他のホール素子に対して供給する。

【0016】

好ましくは、前記各比較手段を構成する回路の正の電源端子が、対応するホール素子のバイアス電圧以上の電位にあるホール素子のバイアス供給端子に接続され、負の電源端子を、対応するホール素子または対応するホール素子のバイアス電圧以下の電位にあるホール素子のバイアス供給端子に接続されている。

【0017】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0018】

(実施の形態1)

図1は、本発明のホール素子バイアス回路の実施の形態の一例を示している。このホール素子バイアス回路1は、直列接続された第1、第2、第3の3つのホール素子2、3、4に対してバイアス電圧を印加するようになっている。各ホール素子2、3、4は、それぞれのバイアス電圧印加用の端子同士が直列に接続されている。各ホール素子2、3、4は、信号出力用端子2aおよび2b、3aおよび3b、4aおよび4bを、それぞれ有しており、印加される磁界密度に正比例した電流が、各信号出力用端子からそれぞれ出力される。

【0019】

ホール素子バイアス回路1は、所定の電源電圧VCCがそれぞれ印加される第1、第2、第3の3つの定電圧供給手段8、9、10を有しており、各定電圧供給手段8、9、10からは、所定電圧の電流I1、I2、I3が、ホール素子バイアス回路1の第1、第2、第3の各バイアス出力端子5、6、7に、それぞれ出力されている。各定電圧供給手段8、9、10によって、第1端子5の電圧が

、電源電圧VCCよりも低く、また、第2端子6の電圧が端子5の電圧よりも低く、さらには、第3端子7の電圧が、第2端子6の電圧よりも低く、それぞれ設定されている。

【0020】

第1のバイアス出力端子5から出力される電流I1は、第1のホール素子2のバイアス印加用端子に与えられており、また、第2のバイアス出力端子6から出力される電流I2が、第2のホール素子3のバイアス印加用端子に与えられており、さらに、第3のバイアス出力端子7から出力される電流I3が、第3のホール素子4のバイアス印加用端子に与えられている。これにより、各ホール素子2、3、4には、定電圧供給手段8、9、10、からそれぞれ供給される一定のバイアス電圧が印加される。

【0021】

このように、各ホール素子2～4には、それぞれ、定電圧のバイアスが印加された定電圧駆動方式によって、それぞれ駆動されるために、出力電圧VHは、前述した次の(2)式で表される。

【0022】

$$V_H = \mu_H \cdot (W/L) \cdot V_{in} \cdot B \quad \cdots (2)$$

そして、この出力電圧VHは、温度依存性が少ない電子移動度 μ_H に比例しており、従って、定電流駆動方式ではなく、定電圧駆動方式によってそれぞれ駆動される各ホール素子2～4からは、それぞれ、温度変化に対して安定したホール出力電圧が得られる。

【0023】

(実施の形態2)

図2は、本発明のホール素子バイアス回路の実施の形態2の回路例を示している。図2に示すホール素子バイアス回路1では、直列接続された3つのホール素子における第1のホール素子2にバイアス電圧を供給する定電圧供給手段8と、所定の定電圧を発生させる第1および第2の定電圧発生手段9aおよび9bとが設けられている。さらに、ホール素子バイアス回路1には、各ホール素子2～4にバイアス電圧をそれぞれ印加する第1～第3の各端子5～7と、さらに、グラ

ンドに接続されるグランド端子 1 3 とが設けられている。

【 0 0 2 4 】

各端子 5 ～ 7 および 1 3 からは、電流 $I_{o1} \sim I_{o4}$ がそれぞれ出力され、また、各端子 5 ～ 7 から電流 $I_{i1} \sim I_{i3}$ が、それぞれ入力されるようになっている。

【 0 0 2 5 】

定電圧供給手段 8 は、第 1 の端子 5 に接続されており、また、第 1 および第 2 の端子 5 および 6 の間に第 1 の電流パス手段 1 2 a が設けられている。第 2 および第 3 の端子 6 および端子 7 との間には、第 2 の電流パス手段 1 2 b が設けられている。第 2 の端子 6 からの入力電流 I_{i2} または出力電流 I_{o2} は、第 1 の比較手段 1 0 a に与えられており、また、この比較手段 1 0 a には、第 1 の定電圧発生手段 9 a にて発生する電流も与えられている。そして、第 1 の比較手段 1 0 a の出力に基づいて、第 1 および第 2 の各電流パス手段 1 2 a および 1 2 b それぞれが、適宜、選択される。

【 0 0 2 6 】

第 2 および第 3 の端子 6 および 7 の間には、第 3 の電流パス手段 1 2 c が設けられており、また、第 3 の端子 7 と GND 端子 1 3 との間には、第 4 の電流パス手段 1 2 d が設けられている。第 3 の端子 7 からの入力電流 I_{i3} または出力電流 I_{o3} は、それぞれ、第 2 の比較手段 1 0 b に与えられており、また、この第 2 の比較手段 1 0 b には、第 2 定電圧発生手段 9 b にて発生する電流も与えられている。そして、第 2 の比較手段 1 0 b の出力に基づいて、第 3 および第 4 の電流パス手段 1 2 b および 1 2 d それぞれが、適宜、選択される。

【 0 0 2 7 】

第 1 の比較手段 1 0 a は、第 2 の端子 6 からの入力電流 I_{i2} または出力電流 I_{o2} と、第 1 の定電圧発生手段 9 a からの電流とを比較して、第 2 のホール素子 3 の駆動電流 I_{H2} が不足する場合には、第 1 の電流パス手段 1 2 a を選択して、第 1 のホール素子 2 に供給される電流の一部を、バイアス補正電流として、第 2 の端子 6 を介して第 2 のホール素子 3 に供給される。これに対して、第 2 のホール素子 3 の駆動電流 I_{H2} が過剰である場合には、第 1 の比較手段 1 0 a は

、第2の電流パス手段12bを選択して、第2のホール素子3に対する過剰の電流を、バイアス補正電流として、第3の端子7を介して、第3のホール素子4に供給する。

【0028】

同様に、第2の比較手段10bは、端子7からの入力電流 I_{i3} または出力電流 I_{o3} と、第2の定電圧発生手段9bからの電流と比較して、第3のホール素子4の駆動電流 I_{H3} が不足する場合には、第3の電流パス手段12cを選択して、第2ホール素子3に供給される電流の一部を、バイアス補正電流として、第3の端子7を介して第3のホール素子4に供給する。これに対して、第3のホール素子4の駆動電流 I_{H3} が過剰である場合には、第2の比較手段10bは、第4の電流パス手段12dを選択して、第3のホール素子4に対する過剰の電流を、バイアス補正電流として、第4の端子13を介して、GNDへとバイパスする。

【0029】

一般的なホール素子は、各固体間において内部抵抗に差があり、各ホール素子における内部低抗値は、各固体間において、1.5～2倍程度のバラツキになる。このために、例えば、図2に示すホール素子バイアス回路1において、各ホール素子2～4が、それぞれの内部抵抗値にバラツキを有しており、最上位の第1ホール素子2に接続された第2ホール素子3の内部抵抗が、他の第1および第3の各ホール素子2および4の内部抵抗の2倍になっている場合に、直列接続された3つのホール素子2～4の全体に電圧 V_{R1} が印加されて、各ホール素子2～4に対するバイアス電圧が、それぞれ、 $V_{R1}/3$ に保つためには、各ホール素子2～4にそれぞれ流れる駆動電流が次の(3)式の関係になる必要がある。

【0030】

$$I_{o1} = I_{H1} = 2 I_{H2} = I_{H3} \quad \cdots (3)$$

この場合に、ホール素子2に I_{H2} の電流が流れるためには、ホール素子バイアス回路1の各端子5、6、7における入出力電流は、次の(4)式の関係になる。

【0031】

$$I_{H1} = I_{i2} + I_{H2}$$

$$I_{H2} = I_{i2} = I_{o3}$$

$$I_{H3} = I_{H2} + I_{o3} \quad \dots (4)$$

このために、第1の比較手段10aによって、第2の電流パス手段12bが選択されて、内部抵抗の大きな第2ホール素子3への過剰な電流 I_{i2} ($= I_{H2}$)は、第2電流パス手段12bを介して、第3の端子7からの出力電流 I_{o3} とされ、第3のホール素子4に供給される。その結果、第2のホール素子3の駆動電流は、他のホール素子2および4の駆動電流の $1/2$ の電流となり、各ホール素子に対する電圧は、 $V_{R1}/3$ となる。

【0032】

なお、図2において、第2の定電圧発生手段9bと、第2の比較手段10bと、第3および第4の電流パス手段12cおよび12dによって、バイアス電圧の設定手段11（図1の定電圧供給手段10に相当）が構成されている。

【0033】

図2に示すホール素子バイアス回路1では、第2のホール素子3に対する電流が出力される端子6に、前段の第1のホール素子2に対する端子5への第1の電流パス手段12aと、後段の第3のホール素子4に対する端子7への第2の電流パス手段12bとが設けられており、また、第3のホール素子4に対する電流が出力される端子7に、前段の第2のホール素子3に対する端子6への第3の電流パス手段12cと、後段の第4のホール素子4に対する端子への第2の電流パス手段12dとが設けられている。

【0034】

これにより、各ホール素子2～4にて生じる駆動電流の過不足は打ち消され、最終的に直列に接続されている各ホール素子2～4の中で最も抵抗が小さくて最大電流を消費するいずれかのホール素子2～4の駆動電流が、ホール素子2～4の全体で消費される電流となり、それ以上の電流を必要としない。つまり、図2に示す回路では、内部抵抗の異なる各ホール素子2～4を直列接続した状態で、それぞれ駆動する場合に、全てのホール素子2～4を駆動するために必要とする全駆動電流は、使用するホール素子2～4の数（3個）にて決定されるために、

内部抵抗の異なるホール素子の接続順序（設定位置）を、特に限定する必要はない。このことは、内部抵抗の異なるホール素子に変更された場合も、同様である。

【 0 0 3 5 】

出力端子間に電流パス手段が設けられていない図 1 に示すホール素子バイアス回路 1 では、第 2 のホール素子 3 に対する電流 I_2 （図 2 の電流 I_{i2} ）が過剰な場合には、その過剰な電流 I_2 は、定電圧供給手段 9 を介して GND へと逃がされる。また、第 3 のホール素子 4 に対する電流 I_3 （図 2 の電流 I_{o3} に相当）が不足する場合には、その不足電流 I_3 が、定電圧供給手段 9 を介して電源電圧 VCC から供給されることになる。

【 0 0 3 6 】

従って、図 1 に示すホール素子バイアス回路 1 が、それぞれが独立した定電圧供給手段 8 ～ 10 によって形成されている場合においては、各ホール素子 2 ～ 4 を駆動するために定電圧供給手段 8 からの駆動電流 I_1 以外に、電源電圧 VCC から出力端子 7 へ供給される電流 I_3 （ $= I_{H2}$ ）も必要となり、その結果、ホール素子 2 ～ 4 に対する全駆動電流が、図 2 に示すホール素子バイアス回路 1 において、各ホール素子 2 ～ 4 を駆動するために必要な全電流の 1.5 倍になる。

【 0 0 3 7 】

このように、図 1 に示すように、ホール素子バイアス回路 1 の端子 5 と 6 との間、端子 6 と 7 との間に、電流パス手段をそれぞれ設けていない場合には、各ホール素子 2 ～ 4 の駆動電流 I_1 とは異なる電流 I_3 も消費されることになるが、図 2 に示すホール素子バイアス回路 1 では、このようなおそれがなく、消費電流を低減することができる。

【 0 0 3 8 】

（実施の形態 3）

図 3 は、本発明のホール素子バイアス回路の実施の形態 3 を示す回路図である。このホール素子バイアス回路 1 は、図 2 に示すホール素子バイアス回路 1 と同様に、直列接続された 3 つのホール素子 2、3、4 に対して、バイアス電圧をそれぞれ印加するようになっている。ホール素子バイアス回路 1 の第 1 の端子 5 は

、第1のホール素子2に接続されており、第2の端子6が、第1のホール素子2と第2のホール素子3との接続点に接続されている。さらに、端子7が、第2のホール素子3と第3のホール素子4との接続点に接続されている。

【0039】

ホール素子バイアス回路1には、各ホール素子2～4に対して電圧を印加する3つの第1～第3の基準電圧源22、23、24が設けられている。基準電圧源22、23、24の電圧レベルは、その基準電圧源22が最も大きく、次いで、基準電圧源23が大きく、基準電圧源24が最も小さくなっている。

【0040】

各基準電圧源22、23、24の出力端子は、第1～第3の各バッファアンプ14、15、16のマイナス端子にそれぞれ接続されている。そして、第1のバッファアンプ14のプラス端子には、ホール素子バイアス回路1の第1の端子5が接続されており、第2のバッファアンプ15のプラス端子には、第2の端子6が接続されており、さらに、第3のバッファアンプ16のプラス端子には、第3の端子7が接続されている。

【0041】

第1のバッファアンプ14の出力端子は、PチャネルMOSトランジスタ17のゲートに接続されている。PチャネルMOSトランジスタ17のソースは、電源電圧VCCに接続されており、そのドレインが、第1の端子5に接続されている。

【0042】

第2のバッファアンプ15の出力端子は、PチャネルMOSトランジスタ18のゲートに接続されとともに、NチャネルMOSトランジスタ19のゲートに接続されている。PチャネルMOSトランジスタ18のソースは、第1の端子5に接続され、そのドレインが第2の端子6に接続されるとともに、NチャネルMOSトランジスタ19のドレインに接続されている。NチャネルMOSトランジスタ19のソースは、第3の端子7に接続されている。

【0043】

第3のバッファアンプ16の出力端子は、PチャネルMOSトランジスタ20

のゲートに接続されとともに、NチャネルMOSトランジスタ21のゲートに接続されている。PチャネルMOSトランジスタ20のソースは、第2の端子6に接続され、そのドレインが第3の端子7に接続されるとともに、NチャネルMOSトランジスタ21のドレインに接続されている。NチャネルMOSトランジスタ21のソースは、グランド端子13に接続されている。

【0044】

このような構成のホール素子バイアス回路1の動作は、次の通りである。第1のバッファアンプ14のマイナス端子には、基準電圧源22からの出力電圧が基準電圧として与えられており、第1の端子5の電圧が、プラス端子に帰還されている。そして、第1の端子5の電圧が低下して、基準電圧源22からの出力電圧よりも低下すると、第1のバッファアンプ14の出力が低下して、第1のバッファアンプ14が接続されているPチャネルMOSトランジスタ17のゲートの電圧レベルも低下する。これにより、PチャネルMOSトランジスタ17に流れる電流が増加し、第1の端子5の電圧レベルが上昇する。

【0045】

そして、第1の端子5の電圧が基準電圧源22の電圧にまで上昇すると、第1のバッファアンプ14の出力が上昇し、PチャネルMOSトランジスタ17のゲートの電圧レベルが上昇する。これにより、第1の端子5において、その電圧レベルが、基準電圧源22の出力レベルに保持される。

【0046】

第2のバッファアンプ15も、同様に、そのプラス端子には、第2の端子6の電位が帰還されており、PチャネルMOSトランジスタ18は、第2の端子6の電圧レベルを、第2の基準電圧源23の出力電圧に保持するように働く。

【0047】

すなわち、第2の端子6の電圧が低下して、第2の基準電圧源23からの出力電圧よりも低下すると、第2のバッファアンプ14の出力が低下して、PチャネルMOSトランジスタ18のゲートの電圧レベルも低下する。これにより、PチャネルMOSトランジスタ18に流れる電流が増加し、第2の端子6の電圧レベルが上昇する。そして、第2の端子6の電圧が、第2の基準電圧源23の電圧に

まで上昇すると、第2のバッファアンプ15の出力が上昇し、PチャネルMOSトランジスタ18のゲートの電圧レベルが上昇して、第2の端子6の電圧レベルを、第2の基準電圧源23の出力電圧に保持する。

【0048】

また、第2のバッファアンプ15の出力は、NチャネルMOSトランジスタ19のゲートにも与えられており、第2の端子6の電圧レベルが上昇した場合には、第2のバッファアンプ15の出力レベルが上昇する。これにより、NチャネルMOSトランジスタ19のゲート電圧レベルが上昇し、NチャネルMOSトランジスタ19のドレイン電流が増加する。その結果、第2の端子6の電流が、NチャネルMOSトランジスタ19に流れて、第2の端子6の出力レベルが低下する。そして、端子6の出力レベルが低下して、第2の基準電圧源の電圧レベルになると、NチャネルMOSトランジスタ19がオフされて、第2の端子6の電圧レベルが第2の基準電圧源の電圧レベルに保持される。

【0049】

第3の端子7においても、第3のバッファアンプ16の出力に基づいて、PチャネルMOSトランジスタ20およびNチャネルMOSトランジスタ21が、オンおよびオフされることにより、第3の基準電圧源24の電圧レベルに保持される。

【0050】

全てのホール素子2、3、4は、端子5から供給される電流 I_{o1} によって駆動され、第1の端子5は、第1の基準電圧源22の電圧レベルに保持される。そして、第2の端子6の電圧レベルは、PチャネルMOSトランジスタ18およびNチャネルMOSトランジスタ19によって、一定に保持され、第2の端子6において電流が不足した場合には、端子5から入力される電流 I_{i1} が、電流 I_{o2} として供給される。反対に、第2の端子6において電流が過剰となった場合には、第2の端子6から電流 I_{i2} が出力されることになる。同様に、第3の端子7の電圧レベルも、PチャネルMOSトランジスタ20およびNチャネルMOSトランジスタ21によって、一定に保持されることになる。

【0051】

このように、第2および第3の各端子6および7の電圧レベルの調整が、一対のトランジスタと、定電圧源にて基準電圧が与えられる1つのバッファアンプとを組み合わせた簡潔な回路構成によって、それぞれ実現されるために、各回路を、それぞれ容易に設計することができる。

【0052】

なお、上記構成では、1つの出力端子に対して、2つのトランジスタによって電流の調整を行っているが、上記の動作説明から明らかなように、各トランジスタが同時に動作して貫通電流が流れて、消費電流が増加するようなおそれがない。

【0053】

また、上記の構成では、MOSトランジスタを用いて説明したが、PチャネルMOSトランジスタをPNPトランジスタ、NチャネルMOSトランジスタをNPNトランジスタとして、バイポーラ回路構成とすることにより、同様の動作が得られる。

【0054】

さらに、PチャネルMOSトランジスタ19およびNチャネルMOSトランジスタ20は、第2および第3の各端子6および7間の同一の電流パス経路にそれぞれ設けられているために、図4に示すように、この電流パス経路に、例えば、PチャネルMOSトランジスタ19にてオンおよびオフするようにして、第2のバッファアンプ15の出力信号と、第3のバッファアンプ16の出力信号をインバータ26によって反転させた信号とを、OR（論理和）回路25によって合成し、OR回路の出力を、PチャネルMOSトランジスタ19へ制御信号として入力するようにしてもよい。これにより、図3に示すホール素子バイアス回路1と同様の動作が得られる。

【0055】

この場合、第2および第3の各端子6と7との間の電流パス経路に、NチャネルMOSトランジスタ20を設けて、第2バッファアンプ15の出力信号をインバータによって反転させてOR回路25に入力させるとともに、第3のバッファアンプ16の出力信号をOR回路25に直接入力させるようにしてもよい。

【 0 0 5 6 】

このような構成は、多数のホール素子を駆動するために多数の電流パスを必要とした場合にも適用でき、大きなトランジスタサイズを必要とする電流パス用のトランジスタの数を減らせるため、ホール素子バイアス回路 1 を小型化することができる。

【 0 0 5 7 】

(実施の形態 4)

図 5 は、本発明の実施の形態 4 のホール素子バイアス回路を示す回路図である。このホール素子バイアス回路 1 は、図 3 に示すホール素子バイアス回路 1 における 3 つの基準電圧源 2 2、2 3、2 4 に替えて、1 つの基準電圧源 2 2 の電圧を直列接続された 3 つの抵抗素子 2 5、2 6、2 7 の抵抗分圧して、第 1 ～第 3 のバッファアンプ 1 4、1 5、1 6 のマイナス端子に、それぞれ、基準電圧として与える構成になっている。これにより、ホール素子の数が増加しても、ホール素子の数だけ基準電圧源を準備する必要がなく、基準電圧源の増加による回路規模の増大、消費電流の増加が抑制される。

【 0 0 5 8 】

また、各バッファアンプ 1 4、1 5、1 6 の電源電圧としては、VCC-GND 間の電圧を印加することなく、第 1 のバッファアンプ 1 4 の電源電圧としては、電源電圧 VCC および第 2 の端子 6 間の電圧が、また、第 2 のバッファアンプ 1 5 の電源電圧としては、第 2 の端子 6 および第 3 の端子 7 間の電圧が、さらに、第 3 のバッファアンプ 1 6 の電源電圧としては、第 3 の端子 7 および端子 GND 間の電圧が、それぞれ印加されている。

【 0 0 5 9 】

このように、各バッファアンプ 1 4 ～ 1 6 に与えられる基準電圧近傍の電圧が、それぞれ印加されるために、各バッファアンプ 1 4 ～ 1 6 における消費電流を低減することができる。このような構成は、ホール素子数が増加してバッファアンプの数が増加した場合にも適用できる。

【 0 0 6 0 】

【発明の効果】

本発明のホール素子バイアス回路は、このように、直列接続された複数のホール素子を定電圧駆動する端子が設けられているために、各ホール素子を定電圧駆動することができ、ホール素子数が増加しても、全体の駆動電流が増加することを抑制することができる。しかも、各ホール素子は、それぞれ、良好な温度特性によって動作する。

【0061】

さらに、各出力端子間に、電流パスを設けることにより、全ホール素子で消費される電流を、さらに小さく抑えることが可能となる。しかも、ホール素子の数にかかわらず、消費されるホール素子の駆動電流は全ホール素子のうち、最大の電流を消費するホール素子の駆動電流だけでよく、従って、直列接続される各ホール素子の駆動電流がばらつくような場合にも、問題なく使用することができる。

【0062】

さらに、定電圧を保持するためにバッファアンプを使用する場合において、その電源部を電圧レベル順に直列に接続することにより、各バッファアンプにおける消費電流を抑制することができ、前記ホール素子と同様に、使用されるバッファアンプの数に消費電流が依存することはない。

【図面の簡単な説明】

【図1】

本発明のホール素子バイアス回路の実施の形態の一例を示すブロック図である。

【図2】

本発明のホール素子バイアス回路の実施の形態の他の例を示すブロック図である。

【図3】

本発明のホール素子バイアス回路の実施の形態のさらに他の例を示すブロック図である。

【図4】

本発明のホール素子バイアス回路の実施の形態のさらに他の例を示すブロック

図である。

【図 5】

本発明のホール素子バイアス回路の実施の形態のさらに他の例を示すブロック図である。

【図 6】

ホール素子の動作原理を示す説明図である。

【図 7】

従来のホール素子バイアス回路の一例を示すブロック図である。

【図 8】

従来のホール素子バイアス回路の他の例を示すブロック図である。

【符号の説明】

1 ホール素子バイアス回路

2～3 ホール素子

5～7 出力端子

1 2 a、1 2 b、1 2 c、1 2 d 電流パス手段

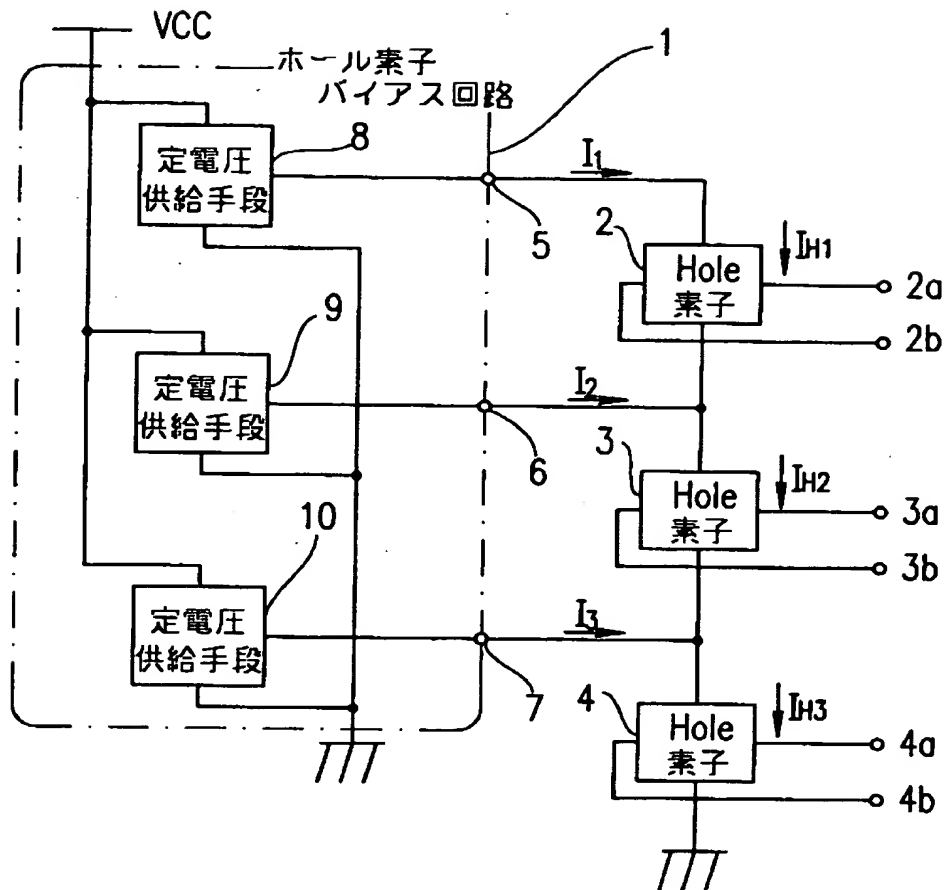
1 4～1 6 バッファアンプ

1 7、1 8、2 0 PチャネルMOSトランジスタ

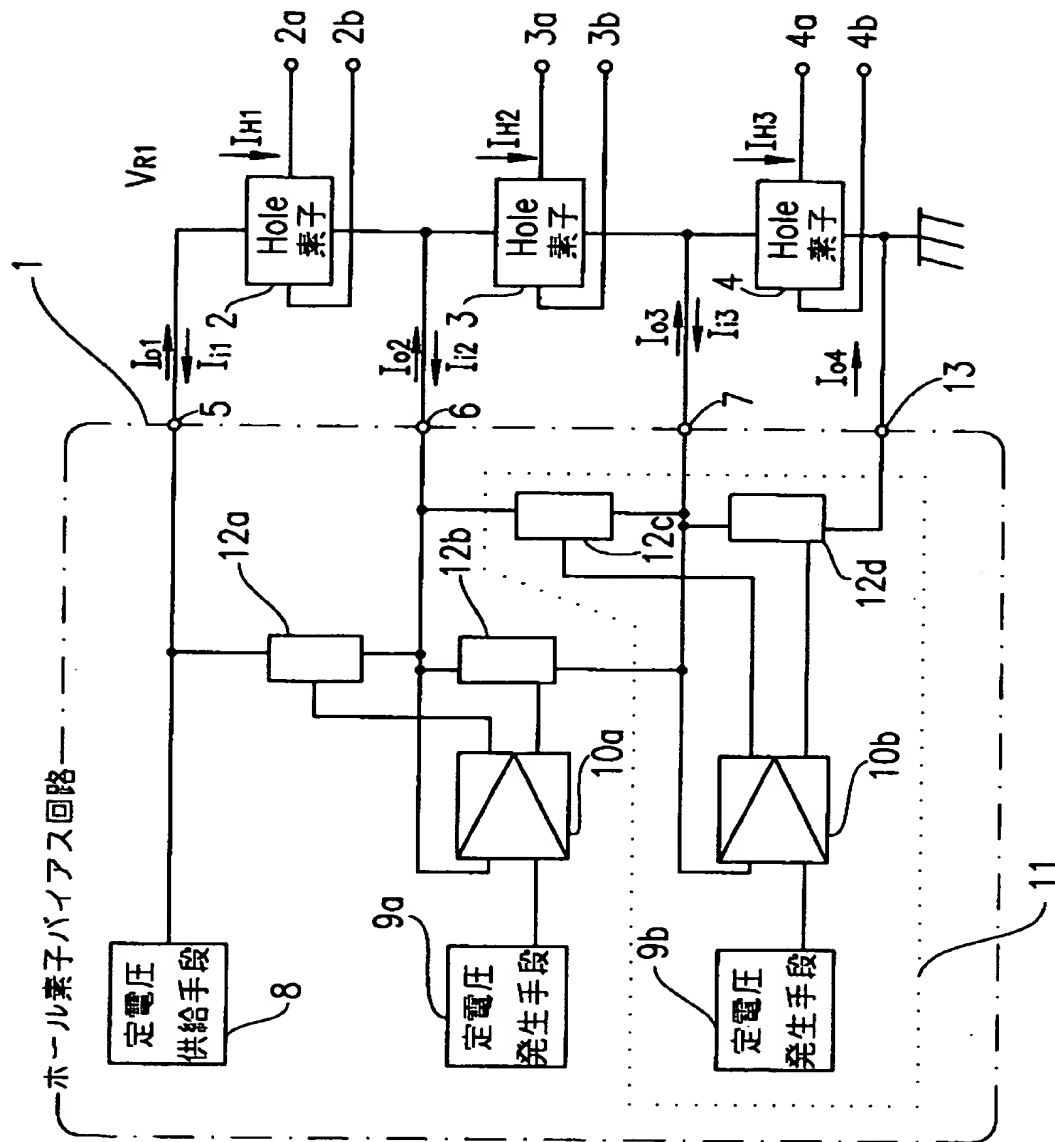
1 9、2 1 NチャネルMOSトランジスタ

【書類名】 図面

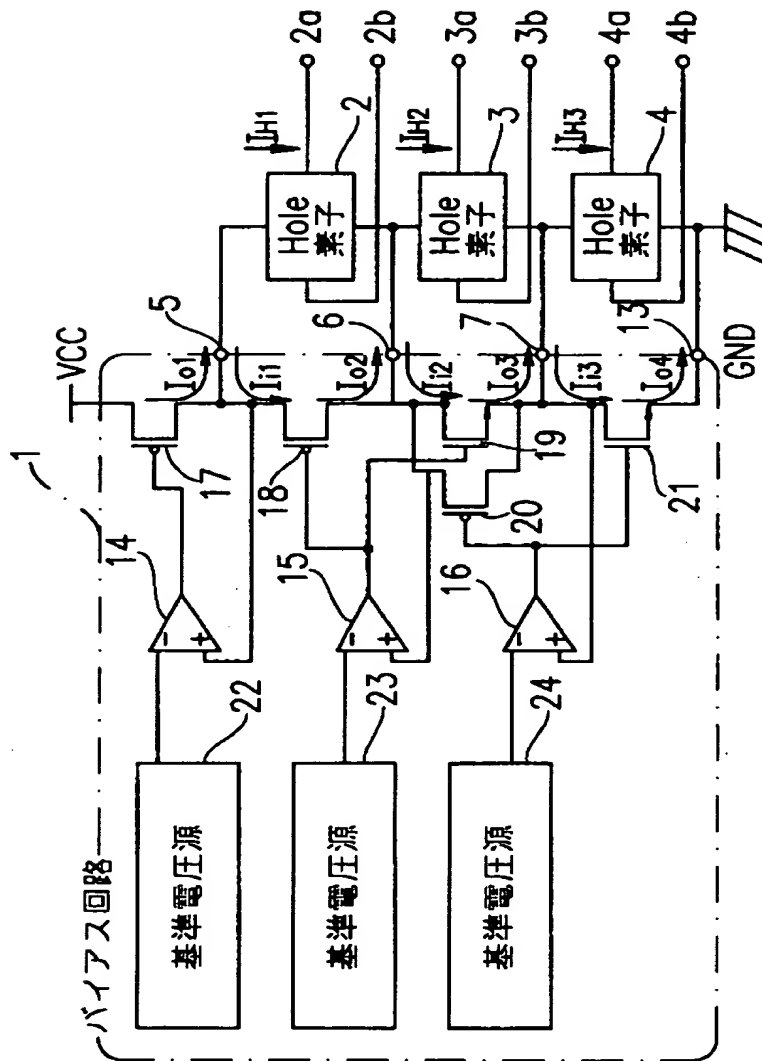
【図 1】



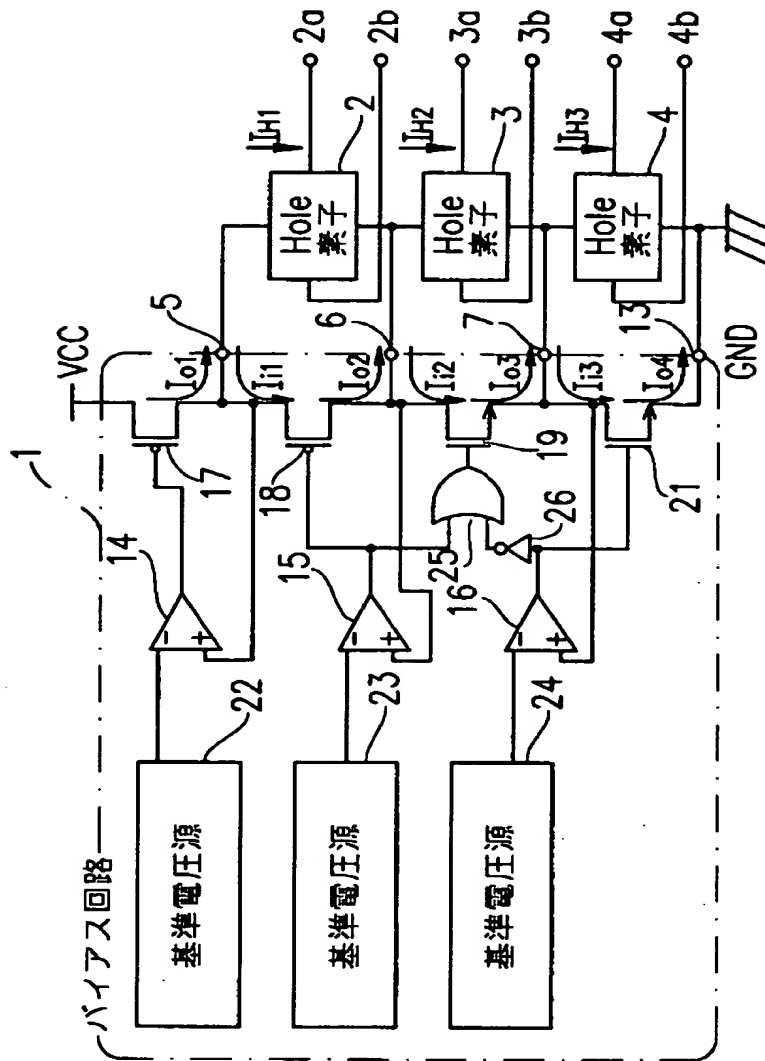
【図 2】



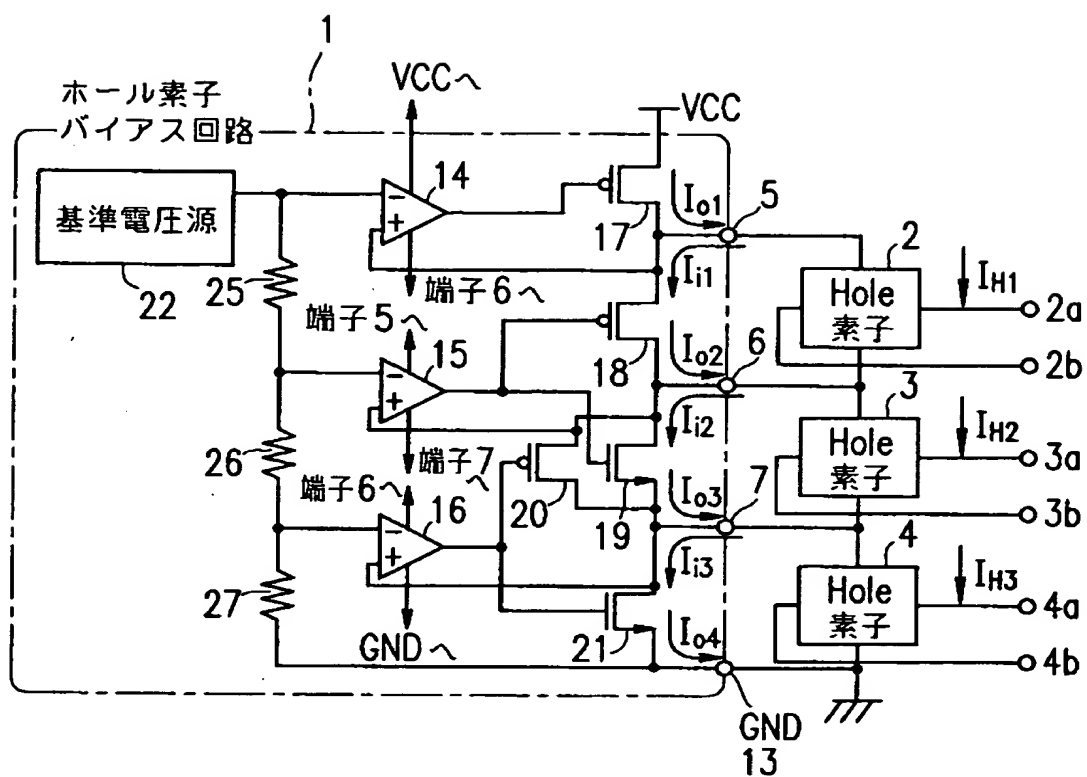
【図3】



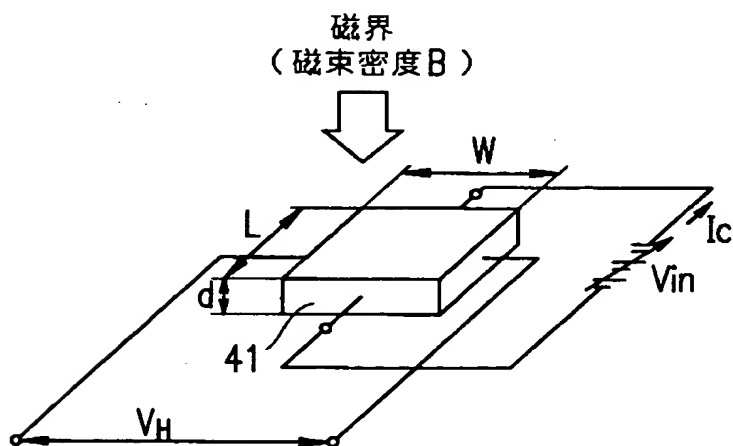
【図 4】



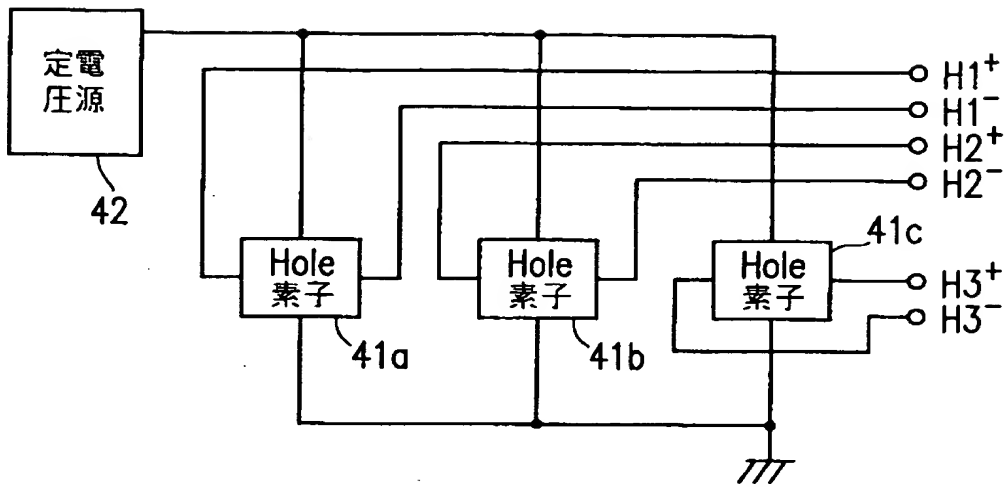
4



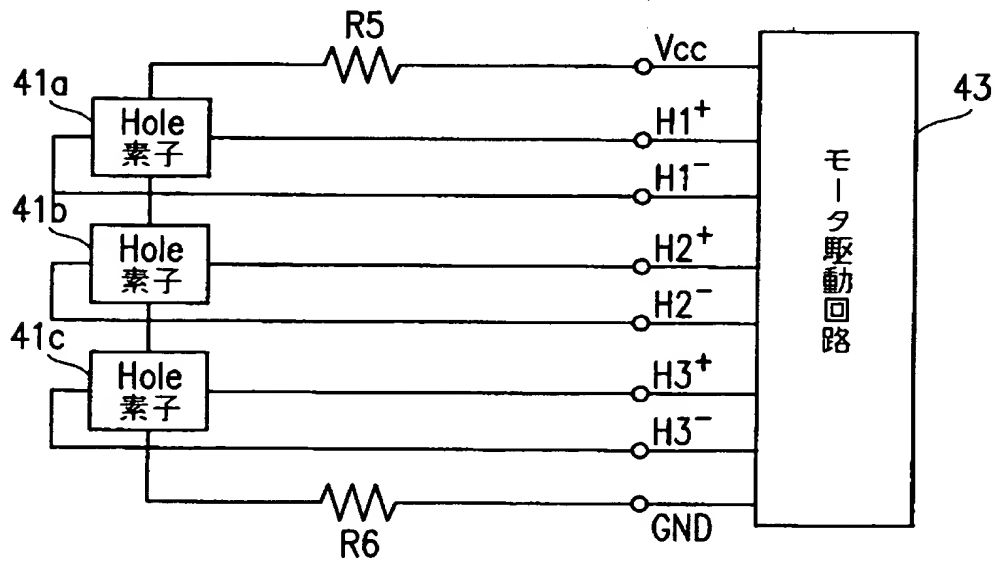
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 ホール素子数が増加しても、駆動電流が増加するおそれがなく、しかも、各ホール素子を、良好な温度特性にてそれぞれ駆動することができる。

【解決手段】 直列に接続された複数のホール素子 2 ～ 4 それぞれに対して、バイアス電圧を独立して印加する複数の端子 5 ～ 7 が設けられている。各端子 5 ～ 7 には、各定電圧機用旧手段 8 ～ 1 0 によって、一定の電圧が印加される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区长池町22番22号
氏 名	シャープ株式会社